

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-252645

(43)Date of publication of application : 09.09.1994

(51)Int.Cl.

H03B 28/00

(21)Application number : 05-033864

(71)Applicant : NEC CORP

(22)Date of filing : 24.02.1993

(72)Inventor : OGA NORIYUKI

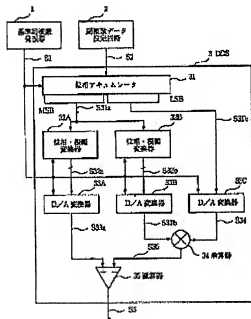
(54) DIRECT DIGITAL FREQUENCY SYNTHESIZER

(57)Abstract:

PURPOSE: To reduce spurious signal component caused by a phase error of a phase accumulator.

CONSTITUTION: The direct digital frequency synthesizer (DDS) 3 allows a phase accumulator 31 to produce phase data in response to a clock signal S1 from a reference frequency oscillator 1 and frequency data S2 from a frequency data setting circuit 2. A sine wave signal S33a and a cosine wave signal S33b are generated by high-order bits S31a of the phase data and a phase error signal S34 is generated by low-order bits S31b of the phase data. A multiplier 34 multiplies the signals S33b, S34 to synthesize a spurious cancel signal S35 and a subtractor 35 subtracts the spurious cancel signal S35 from the sine wave signal S33a to produce a sine wave signal S3

without spurious signal component.



NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A direct digital frequency synthesizer comprising:

A phase accumulator means which produces phase data which accumulated frequency data synchronizing with a clock signal.

The 1st phase and sine wave signal conversion method that answers a high order bit and said clock signal of said phase data, and produces the 1st sine wave signal of analog format

The 2nd phase and sine wave signal conversion method that produces a cosine wave signal of analog format which answered said high order bit and said clock signal, and about 90 degrees of phases followed from said 1st sine wave signal

The 1st digital-analog converter that changes at least a part of lower bit except said high order bit of said phase data into an analog value, and produces a phase error signal, A multiplier which carries out the multiplication of said cosine wave signal and said phase error signal, and produces a spurious cancellation signal, and a subtractor which subtracts said spurious cancellation signal from said 1st sine wave signal, and produces the 2nd sine wave signal.

[Claim 2] The direct digital frequency synthesizer comprising according to claim 1:

The 1st phase and amplitude-conversion machine with which said the 1st phase and sine wave signal conversion method produce the 1st sinusoidal amplitude data corresponding to a value of said high order bit

The 2nd phase and amplitude-conversion machine that is provided with the 2nd digital-analog converter that changes said 1st sinusoidal amplitude data into said 1st sine wave signal synchronizing with said clock signal and with which said the 2nd phase and sine wave signal conversion method produce the 2nd sinusoidal amplitude data corresponding to a value of said high order bit

The 3rd digital-analog converter that changes said 2nd sinusoidal amplitude data into said cosine

wave signal synchronizing with said clock signal.

[Claim 3]The direct digital frequency synthesizer comprising according to claim 2:

The 1st timing adjusting circuit that sets mostly signal timing of said cosine wave signal in each of an input terminal of said multiplier, and said phase error signal as the same timing.

The 1st level adjustment circuit that is boiled also in a signal level of said cosine wave signal in each of an input terminal of said multiplier, and said phase error signal, and is set as a necessary level range of said multiplier.

The 2nd timing adjusting circuit that sets mostly signal timing of a spurious ingredient in said 1st sine wave signal in each of an input terminal of said subtractor, and said spurious cancellation signal as the same timing.

The 2nd level adjustment circuit that sets a signal level of said 1st sine wave signal in each of an input terminal of said subtractor, and said spurious cancellation signal as a level which makes the minimum a spurious ingredient in said 2nd sine wave.

[Claim 4]The direct digital frequency synthesizer according to claim 1 provided with a zero cross detection means which produces a repetitive signal which detects a zero crossing point of said 2nd sine wave signal, and makes between this zero crossing point a cycle.

[Claim 5]The direct digital frequency synthesizer comprising according to claim 4:

A low pass filter in which said zero cross detection means extracts a dc component of said 2nd sine wave signal.

A comparator which compares said 2nd sine wave signal with said dc component, and produces said repetitive signal.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]Especially this invention relates to DDS which reduced the spurious signal component in an output signal about a direct digital frequency synthesizer (DDS).

[0002]

[Description of the Prior Art]The conventional DDS is explained with reference to the block diagram of drawing 4.

[0003]The phase increment data (following, frequency data) S2 of the constant a (a is one or more integers) is supplied for the clock signal S1 to this direct digital frequency synthesizer (DDS) 3C from the frequency data setting circuit 2 from the reference frequency oscillator 1 at the phase

accumulator 31. As a component, including the adding machine 311, the adding machine 311 adds the constant a and the phase data $S31$ which self outputs synchronizing with the clock signal $S1$, and the phase accumulator 31 produces in time the integration $S31$, i.e., the phase data which carried out accumulation, for the constant a (phase increment data). this phase data $S31$ increases from an initial value linearly in proportion to the number of inputs of the clock signal $S1$ -- the accumulated of this phase data $S31$ -- calculation of the adding machine 311, if it overflows across a limit, The adding machine 311 omits the overflow beam going-up bit of the phase data $S31$, and repeats the above-mentioned phase accumulation. That is, this phase data $S31$ is data of a saw-tooth wave.

The phase of the sine wave signal $S33a$ mentioned later is expressed.

[0004]Let the high order bit $S31a$ of the phase data $S31$ be an address signal of a phase and the amplitude-conversion machine 32A. Generally ROM (read only memory) is used for the phase and the amplitude-conversion machine 32A.

the calculation from an initial value -- the sinusoidal amplitude data $S32a$ is produced the data point of the parallel signal forms corresponding to the high order bit (address signal) $S31a$ of the phase data $S31$ which increases linearly to a maximum, and here.

This amplitude data $S32a$ is changed into the sine wave signal $S33a$ ($S3a$) of analog format by the digital-analog converter (D/A converter) 33A.

[0005]DDS3C will produce the sine wave signal $S3a$ of the fundamental frequency f_0 , when the above-mentioned constant a is 1, and it will produce the sine wave signal $S3a$ of frequency axf_0 hereafter according to the value of the constant a . This DDS3C is known from the former as an oscillator from which the phase noise near the carrier can change frequency that it is low and at high speed.

[0006]

[Problem(s) to be Solved by the Invention]However, in this DDS3C, since the lower bit of the adding machine 311 is not outputted to a phase and the amplitude-conversion machine 32A, in a lower bit, offset is accumulated and overflow is produced. This overflow has the periodicity according to the value of the constant a . Since the phase data $S31$ corresponds as above-mentioned at the phase of the sine wave signal $S33a$, overflow of the accumulated of the lower bit of the adding machine 311 is equivalent to the momentary phase shift of the sine wave signal $S33a$. Therefore, it originates in the overflow with the periodicity in the adding machine 311 mentioned above, and spurious one of the frequency of the reciprocal of the cycle is observed by the sine wave signal $S3a$.

[0007]To the main causes which produce spurious one in the above-mentioned sine wave signal $S3a$, those with two kind, The 1st is the overflow by adding machine 311 all bit length, the 2nd -- -- it is based on the overflow similarly generated in the portion of the beam going-up process to

the high order bit S31a outputted from the lower bit portion (S31b -- not shown) which is not outputted to a phase and the amplitude-conversion machine 32A from the adding machine 311 -- it is spurious. There is high order spurious (they are not harmonics) one generated by causing overflow further just because it generates as 3rd spurious at the time of overflow of the offset accumulated in the adding machine 311 (high order offset).

[0008]The technique of reducing spurious one of the sine wave signal S3a resulting from overflow of this adding machine 311 (or adding machine equivalent to this adding machine 311), It is indicated to the publication of patent applications (common [2-63305], a Title of invention: the direct digital synthesizer, Heisei 2(1990) March 2 public presentation which have the randomized selectable accumulator). In this spurious reduction technique, an unfixed number is added to the lowest (LSD) bit from the pseudo-random student machine of several shots, or the tremolor, the periodicity of the above-mentioned overflow is broken down into the above-mentioned adding machine, and it is decreasing spurious one of specific frequency. However, in this technique, although it is mitigable, though the sine wave signal S3a has conversely little spurious one by the pseudo-random number or vibrational frequency inputted into the above-mentioned adding machine, it mixes spurious one accompanying the above-mentioned overflow. It does not have the mitigation effect over 2nd and 3rd spurious one of the above.

[0009]Therefore, the purpose of this invention is to cancel the fault of the direct digital frequency synthesizer by the conventional technology mentioned above, It is in providing directly the digital frequency synthesizer which does not have spurious generating accompanying overflow of an adding machine (phase accumulator) or a rounding error in an output sine wave signal.

[0010]

[Means for Solving the Problem]Directly a digital frequency synthesizer of this invention, A phase accumulator means which produces phase data which accumulated frequency data synchronizing with a clock signal, The 1st phase and sine wave signal conversion method that answers a high order bit and said clock signal of said phase data, and produces the 1st sine wave signal of analog format, The 2nd phase and sine wave signal conversion method that produces a cosine wave signal of analog format which answered said high order bit and said clock signal, and about 90 degrees of phases followed from said 1st sine wave signal, The 1st digital-analog converter that changes a part or all of a lower bit except said high order bit of said phase data into an analog value, and produces a phase error signal, It has a multiplier which carries out the multiplication of said cosine wave signal and said phase error signal, and produces a spurious cancellation signal, and a subtractor which subtracts said spurious cancellation signal from said 1st sine wave signal, and produces the 2nd sine wave signal.

[0011]One of the direct digital frequency synthesizers of this invention. A phase accumulator means which produces phase data which accumulated frequency data synchronizing with a clock signal, The 1st phase and amplitude-conversion machine that produces the 1st sinusoidal

amplitude data corresponding to a high order bit of said phase data, The 1st digital-analog converter that changes said 1st sinusoidal amplitude data into the 1st sine wave signal of analog format synchronizing with said clock signal, The 2nd phase and amplitude-conversion machine that produces cosine wave amplitude data which answered said high order bit and about 90 degrees of phases followed from said 1st sinusoidal amplitude data, The 2nd digital-analog converter that changes said cosine wave amplitude data into a cosine wave signal of analog format synchronizing with said clock signal, The 3rd digital-analog converter that changes a part or all of a lower bit except said high order bit of said phase data into an analog value, and produces a phase difference signal, It has a multiplier which carries out the multiplication of said cosine wave signal and said phase difference signal, and produces a spurious cancellation signal, and a subtractor which subtracts said spurious cancellation signal from said 1st sine wave signal, and produces the 2nd sine wave signal.

[0012]One with a directly another digital frequency synthesizer of this invention. A phase accumulator means which produces phase data which accumulated frequency data synchronizing with a clock signal, The 1st phase and amplitude-conversion machine that produces the 1st sinusoidal amplitude data corresponding to a value of a high order bit of said phase data, The 1st digital-analog converter that changes said 1st sinusoidal amplitude data into the 1st sine wave signal of analog format synchronizing with said clock signal, The 2nd phase and amplitude-conversion machine that produces cosine wave amplitude data which answered said high order bit and about 90 degrees of phases followed from said 1st sinusoidal amplitude data, The 2nd digital-analog converter that changes said cosine wave amplitude data into a cosine wave signal of analog format synchronizing with said clock signal, The 3rd digital-analog converter that changes a part or all of a lower bit except said high order bit of said phase data into an analog value, and produces a phase error signal, A multiplier which carries out the multiplication of said cosine wave signal and said phase error signal, and produces a spurious cancellation signal, and a subtractor which subtracts said spurious cancellation signal from said 1st sine wave signal, and produces the 2nd sine wave signal, The 1st timing adjusting circuit that sets mostly signal timing of said cosine wave signal in each of an input terminal of said multiplier, and said phase error signal as the same timing, The 1st level adjustment circuit that is boiled also in a signal level of said cosine wave signal in each of an input terminal of said multiplier, and said phase error signal, and is set as a necessary level range of said multiplier, The 2nd timing adjusting circuit that sets mostly signal timing of a spurious ingredient in said 1st sine wave signal in each of an input terminal of said subtractor, and said spurious cancellation signal as the same timing, It has the 2nd level adjustment circuit that sets a signal level of said 1st sine wave signal in each of an input terminal of said subtractor, and said spurious cancellation signal as a level which makes the minimum a spurious ingredient in said 2nd sine wave.

[0013]One [another] of the direct digital frequency synthesizers of this invention. A phase

accumulator means which produces phase data which accumulated frequency data synchronizing with a clock signal, The 1st phase and amplitude-conversion machine that produces the 1st sinusoidal amplitude data corresponding to a high order bit of said phase data, The 1st digital-analog converter that changes said 1st sinusoidal amplitude data into the 1st sine wave signal of analog format synchronizing with said clock signal, The 2nd phase and amplitude-conversion machine that produces cosine wave amplitude data which answered said high order bit and about 90 degrees of phases followed from said 1st sinusoidal amplitude data, The 2nd digital-analog converter that changes said cosine wave amplitude data into a cosine wave signal of analog format synchronizing with said clock signal, The 3rd digital-analog converter that changes a part or all of a lower bit except said high order bit of said phase data into an analog value, and produces a phase difference signal, A multiplier which carries out the multiplication of said cosine wave signal and said phase difference signal, and produces a spurious cancellation signal, and a subtractor which subtracts said spurious cancellation signal from said 1st sine wave signal, and produces the 2nd sine wave signal, It has a zero cross detection means which produces a rectangular wave signal or a sine wave signal which detects a zero crossing point of said 2nd sine wave signal, and makes between this zero crossing point a cycle.

[0014]

[Example]Next, this invention is explained with reference to Drawings.

[0015]Drawing 1 is a block diagram of the first working example of this invention.

[0016]This digital frequency synthesizer (DDS) 3 receives the frequency data setting circuit 2 to the frequency data S2 for the clock signal S1 in the phase accumulator 31 of DDS3 from the reference frequency oscillator 1 directly like DDS3C of drawing 4. Similarly, the high order bit S31a of the phase data S31 from the phase accumulator 31 is made into the address signal of a phase and the amplitude-conversion machine 32A, and a phase and the amplitude-conversion machine 32A produce the sinusoidal amplitude data S32a corresponding to the address signal S32a. This sinusoidal amplitude data S32a is changed into an analog signal by the digital-analog converter (D/A converter) 33A synchronizing with the clock signal S1, and becomes the sine wave signal S33a.

[0017]DDS3 makes the high order bit S31a of the phase data S31 the address signal of a phase and the amplitude-conversion machine 32B. A phase and the amplitude-conversion machine 32B produce the sinusoidal amplitude data (following and cosine wave amplitude data) S33b which the phase followed about 90 degrees from the sinusoidal amplitude data S32a corresponding to this address signal S32b. This cosine wave amplitude data S34a is changed into the cosine wave signal S33b of analog format by the digital-analog converter (D/A converter) 33A.

[0018]DDS3 supplies the lower bit S31b except the high order bit S31a of the phase data S31 to the digital-analog converter (the following, D/A converter) 33C, and D/A converter 33C produces the phase error signal S34 which has an analog value corresponding to the lower bit S31b. the

lower bit S31b -- also ***** (ing) -- although it is not necessary to use all bits, since the omitted portion remains as a phase error, it is used from an upper portion, giving priority, and, if possible, all bits are used. The multiplier 34 carries out the multiplication of the cosine wave signal S33b and the phase error signal S34, and produces the spurious cancellation signal S35. And the subtractor 35 subtracts the spurious cancellation signal S35 from the sine wave signal S33a, and produces the sine wave signal S3 which removed spurious one which is an output signal of a request of DDS3.

[0019] When operation of DDS3 is furthermore explained with reference to drawing 1, from D/A converter 33A to the sine wave signal S33a. Since the bit length of a phase and amplitude-conversion machine 32A **** D/A converter 33A is smaller than the bit length of the phase accumulator 31, spurious one produced from the periodic phase error by a rounding error is contained. $u(t)$ is expressed with (1) type when the sine wave signal S33a is set to $u(t)$.

[0020]

$$u(t) = \sin \{2\pi f t + A(t)\} \quad -- (1)$$

Here, desired frequency (f times 0) and $A(t)$ are the periodic phase errors used as a spurious cause, and f_s are equal to the spurious cancellation signal S34.

[0021] (1) Decompose a formula by the additional theorem and obtain (3) types using the relation of (2) types.

$$[0022] A(t) \ll 1 \text{ (radian)} \quad -- (2)$$

$$u = [\sin(t)] \sin 2\pi f t + A(t) \text{ and } \cos 2\pi f t \quad -- (3)$$

On the other hand, the cosine wave signal S33b (the signal S33b is set to $v(t)$) has a phase term equal to $u(t)$, and obtains (4) types.

[0023]

$$v(t) = \cos \{2\pi f t + A(t)\} \quad -- (4)$$

(4) Decompose a formula by the additional theorem and obtain (5) types using the relation of (2) types.

[0024]

$$v = [\cos(t)] \cos 2\pi f t + A(t) \text{ and } \sin 2\pi f t \quad -- (5)$$

Therefore, the spurious cancellation signal S35 from the multiplier 34 is set to $w(t)$, and (6) types are obtained.

[0025]

$$w(t) = v(t) - A(t) \quad -- (6)$$

The output S3 from the subtractor 35, i.e., the sine wave signal from DDS3, is set to $x(t)$, and (7) types are obtained.

[0026]

$$x(t) = u(t) - w(t)$$

$$= \{1 + A(t)^2\} \text{ and } \sin 2\pi f t \quad -- (7)$$

Therefore, the sine wave signal S3 (shown by $x(t)$) from DDS3, It is only that the secondary ingredient of phase error A (t) is included as a phase error ingredient which produces spurious one, and is reducing spurious one clearly compared with the sine wave signal S33a (shown by $u(t)$) which the conventional DDS3C produces containing the primary ingredient of phase error A (t).

[0027]the lower bit S31b showing the phase error A (t) -- an above-mentioned passage -- also ***** (ing) -- although all these bits are not needed, in order to decrease the spurious ingredient in $x(t)$, it gives priority and uses from the bit of a higher rank.

[0028]Drawing 2 is a block diagram of the 2nd working example of this invention.

[0029]In this direct digital frequency synthesizer (DDS), DDS3A, In addition to DDS3 of drawing 1, it has further the timing adjusting circuits 36A, 36B, 36C, and 38 which adjust the timing (phase) of an analog signal, and the level adjustment circuits 37A, 37B, 37C, and 39 which adjust the level (amplitude) of an analog signal. Namely, the timing adjusting circuit 36A and the level adjustment circuit 37A between + input terminals of D/A converter 33A and the subtractor 35, The timing adjusting circuit 36B and the level adjustment circuit 37B between one input terminals of D/A converter 33B and the multiplier 34, Between the input terminals of another side of D/A converter 33C and the multiplier 34, the timing adjusting circuit 36C and the level adjustment circuit 36C are inserted, and the timing adjusting circuit 38 and the level adjustment circuit 39 are inserted between the output terminal of the multiplier 34, and - input terminal of the subtractor 35, respectively.

[0030]The timing adjusting circuits 36B and 36C amend a gap of the signal timing produced with dispersion in the delay characteristics of D/A converters 33B and 33C, and coincide the signal timing of the cosine wave signal S33b and the phase difference signal S34 which are supplied to the multiplier 34. The timing adjusting circuits 36A and 38 amend the gap of timing with the sine wave signal S33a from D/A converter 33A, and the spurious cancellation signal S35 from the multiplier 34, The signal timing of the spurious ingredient in the sine wave signal S33a supplied to the subtractor 35 and the spurious cancellation signal S35 is coincided. The level adjustment circuits 37B and 37C amend a difference of the level produced with dispersion in the output level of D/A converters 33B and 33C, It is set as the level on which the level, (6), and (7) types at which a necessary operation can perform appropriately the signal level of the signal S33b and the signal S34 supplied to the multiplier 34 are satisfied, respectively. The level adjustment circuits 37A and 39, The spurious ingredient signal S3 in the sine wave signal S3 from the subtractor 35 becomes the minimum about the level of the sine wave signal S33a from D/A converter 33A, and the spurious cancellation signal S35 from the multiplier 34, namely, it adjusts to the level on which (7) types are satisfied, respectively.

[0031]Therefore, since this DDS can obtain correctly $x S3$ which adjusts the signal timing and the level to the multiplier 34 and the subtractor 35, and is shown in (7) types (t), i.e., a sine wave

signal, it is effective in reducing spurious one of the sine wave signal S3 further from DDS of drawing 1. The above-mentioned timing adjusting circuits 36A, 36B, 36C, and 38 and the level adjustment circuits 37A, 37B, 37C, and 39, being provided in a part required only when the timing and the level of a signal which are supplied to the multiplier 34 and the subtractor 35 which were mentioned above are different from a necessary value -- these all -- also ***** (ing) -- it does not need.

[0032] Drawing 3 is a block diagram of the 3rd working example by this invention.

[0033] In addition to working example of drawing 1, the digital frequency synthesizer (DDS) of this working example has connected the zero cross detector circuit 4 to the output terminal of DDS3 directly. The zero cross detector circuit 4 produces sine wave signal S4 which detects the zero crossing point of the sine wave signal S3 from DDS3, makes between the detected zero crossing points a cycle, and does not have an amplitude change between cycles. The spurious ingredient of $\{1+A(t)^2\}$ is included in the amplitude paragraph as shown in a formula (7) at the sine wave signal S3. However, this DDS produces sine wave signal S4 which removed thoroughly the spurious ingredient produced from the influence of the above-mentioned amplitude paragraph by the zero cross detector circuit 4.

[0034] If it explains still in detail about the zero cross detector circuit 4, the low pass filter (LPF) 41 will extract the dc component (offset voltage) which this signal S3 generally contains from the sine wave signal S3. When a dc component is not included in the signal S3, LPF41 is not needed but - input terminal of the comparator 42 is set as 0V. The comparator 42 compares the sine wave signal S3 with the above-mentioned dc component, and produces the rectangular wave signal of a cycle equal to the cycle of the sine wave signal S3. The amplitude change between the cycles by the spurious ingredient of the sine wave signal S3 is eliminated by this rectangular wave signal. It becomes sine wave signal S4 where this rectangular wave signal is band-limited by the band pass filter (BPF) 43 and which does not have a spurious ingredient. It is good also considering the above-mentioned rectangular wave signal as an output signal of this DDS.

[0035]

[Effect of the Invention] As explained above, DDS of this invention is added to the conventional sine wave signal creating means which generates a sine wave signal from the high order bit of a phase accumulator, A means to carry out the multiplication of the cosine wave signal generated from the above-mentioned high order bit and the phase error signal generated from the lower bit of the above-mentioned phase accumulator, and to compound the spurious cancellation signal which is a spurious ingredient of the above-mentioned sine wave signal is formed. Since the above-mentioned spurious cancellation signal is subtracted from the above-mentioned sine wave signal, it is effective in the ability to reduce or remove the spurious ingredient of the output sine wave signal resulting from the phase error of the above-mentioned phase accumulator.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram of the 1st working example of this invention.

[Drawing 2] It is a block diagram of the 2nd working example of this invention.

[Drawing 3] It is a block diagram of the 2nd working example of this invention.

[Drawing 4] It is a block diagram of the conventional DDS.

[Description of Notations]

1 Reference frequency oscillator

2 Frequency data setting circuit

3 and 3A -- direct digital frequency synthesizer (DDS)

4 Zero cross detector circuit

31 Phase accumulator

32A and 32B A phase and amplitude-conversion machine

33A-33C Digital analog (D/A) converter

34 Multiplier

35 Subtractor

36A-36C, 38 timing adjusting circuits

37A-37C, 39 level adjustment circuits

41 Low pass filter (LPF)

42 Comparator

43 Band pass filter (BPF)

311 Adding machine

(51)Int.Cl.⁵

H 0 3 B 28/00

識別記号

庁内整理番号

A 9182-5 J

F I

技術表示箇所

審査請求 有 請求項の数 5 O L (全 9 頁)

(21)出願番号 特願平5-33864

(22)出願日 平成5年(1993)2月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大賀 敬之

東京都港区芝五丁目7番1号日本電気株式会社内

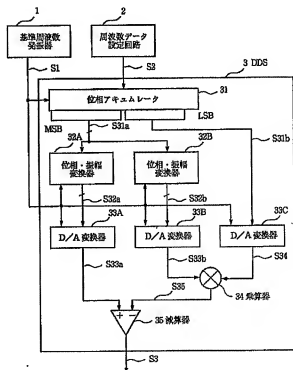
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 直接デジタル周波数シンセサイザ

(57)【要約】

【目的】位相アキュムレータの位相誤差に起因するスプリアスを低減する。

【構成】直接デジタル周波数シンセサイザ (DDS) 3 は、基準周波数発生器 1 からのクロック信号 S1 と周波数データ設定回路 2 からの周波数データ S2 とにตอบสนองして位相アキュムレータ 31 から位相データを生じる。上記位相データの上位ビット S31a により正弦波信号 S33a およびコサイン波信号 S33b が生成され、上記位相データの低位ビット S31b により位相誤差信号 S34 が生成される。乗算器 34 は信号 S33b と S34 とを乗算してスプリアスキャンセル信号 S35 を合成し、減算器 35 は正弦波信号 S33a からスプリアスキャンセル信号 S35 を減算してスプリアスのない正弦波信号 S3 を生じる。



【特許請求の範囲】

【請求項1】 周波数データをクロック信号に同期して累積した位相データを生じる位相アキュムレータ手段と、前記位相データの上位ビットと前記クロック信号とに 대응してアナログ形式の第1の正弦波信号を生じる第1の位相・正弦波信号交換手段と、前記上位ビットと前記クロック信号とに 対応して前記第1の正弦波信号より90°位相の進んだアナログ形式のコサイン波信号を生じる第2の位相・正弦波信号交換手段と、前記位相データの 前記上位ビットを除く下位ビットの少なくとも一部をアナログ値に変換して位相誤差信号を生じる第1のデジタル・アナログ変換器と、前記コサイン波信号と前記位相誤差信号とを乗算してスプリアスキャンセル信号を生じる乗算器と、前記第1の正弦波信号から前記スプリアスキャンセル信号を減算して第2の正弦波信号を生じる減算器とを備えることを特徴とする直接デジタル周波数シンセサイザ。

【請求項2】 前記第1の位相・正弦波信号交換手段が、前記上位ビットの値に対応した第1の正弦波振幅データを 生じる第1の位相・振幅変換器と、前記クロック信号に同期して前記第1の正弦波振幅データを前記第1の正弦波信号に変換する第2のデジタル・アナログ変換器とを備え、

前記第2の位相・正弦波信号交換手段が、前記上位ビットの値に対応した第2の正弦波振幅データを 生じる第2の位相・振幅変換器と、前記クロック信号に同期して前記第2の正弦波振幅データを前記コサイン波信号に変換する第3のデジタル・アナログ変換器とを備えることを特徴とする請求項1記載の直接デジタル周波数シンセサイザ。

【請求項3】 前記乗算器の入力端子の各々における前記コサイン波信号と前記位相誤差信号との信号タイミングをほぼ同一タイミングに設定する第1のタイミング調整回路と、前記乗算器の入力端子の各々における前記コサイン波信号および前記位相誤差信号の信号レベルをと もに前記乗算器の所要レベル範囲に設定する第1のレベル調整回路と、前記減算器の入力端子の各々における前記第1の正弦波信号中のスプリアス成分と前記スプリアスキャンセル信号との信号タイミングをほぼ同一タイミングに設定する第2のタイミング調整回路と、前記減算器の入力端子の各々における前記第1の正弦波信号および前記スプリアスキャンセル信号の信号レベルを前記第2の正弦波中のスプリアス成分を最小とするレベルに設定する第3のレベル調整回路とを備えることを特徴とする請求項2記載の直接デジタル周波数シンセサイザ。

【請求項4】 前記第2の正弦波信号のゼロクロス点を検出しこのゼロクロス点間を周期とする繰返信号を生じるゼロクロス検出手段を備えることを特徴とする請求項1記載の直接デジタル周波数シンセサイザ。

【請求項5】 前記ゼロクロス検出手段が、前記第2の

正弦波信号の直流成分を抽出する低域通過ろ波器と、前記第2の正弦波信号と前記直流成分とを比較して前記繰返信号を生じるコンパレータとを備えることを特徴とする請求項4記載の直接デジタル周波数シンセサイザ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は直接デジタル周波数シンセサイザ（DDS）に関し、特に出力信号中のスプリアス信号成分を低減したDDSに関する。

【0002】

【従来の技術】 従来のDDSについて図4のブロック図を参照して説明する。

【0003】 この直接デジタル周波数シンセサイザ（DDS）3Cは、基準周波数発振器1からクロック信号S1を、周波数データ設定回路2から定数a（aは1以上の整数）の位相増分データ（以下、周波数データ）S2を位相アキュムレータ31に供給されている。位相アキュムレータ31は加算器311を構成要素として含み、加算器311は、クロック信号S1に同期して定数aと自身の出力する位相データS31とを加算し、定数a（位相増分データ）を時間的に積分、即ち、アキュムレーションした位相データS31を生じる。この位相データS31はクロック信号S1の入力数に比例して初期値から直線的に増加し、この位相データS31の累積値が加算器311の計数限界を超えてオーバーフローすると、加算器311は位相データS31のオーバーフロー桁上がりビットを切り捨てて上位位相アキュムレーションを繰り返す。即ち、この位相データS31は、鋸歯状波のデータであり、後述する正弦波信号S33aの位相を表わす。

【0004】 位相データS31の上位ビットS31aが、位相・振幅変換器32Aのアドレス信号とされる。位相・振幅変換器32Aは、一般にはROM（リード・オンリー・メモリ）を用いており、初期値から計数上限まで直線的に増加する位相データS31の上位ビット（アドレス信号）S31aに対応するパラレル信号形式の波形データ、ここでは正弦波振幅データS32aを生じる。この振幅データS32aがデジタル・アナログ変換器（D/A変換器）33Aによりアナログ形式の正弦波信号S33a（S3a）に変換される。

【0005】 DDS3Cは、上記定数aが1の場合には基本周波数f0の正弦波信号S3aを生じ、以下、定数aの値に従って周波数a×f0の正弦波信号S3aを生じることになる。従来からのDDS3Cは、キャリア近傍位相雑音が少なくしかも高速に周波数を変化できる発振器として知られている。

【0006】

【発明が解決しようとする課題】 しかし、このDDS3Cでは、加算器311の下位ビットを位相・振幅変換器32Aに出力しないので、下位ビット中にオフセットが

累積されオーバーフローを生じる。このオーバーフローは定数 a の値に応じた周期性を持つ。上述のとおり位相データ $S31$ は正弦波信号 $S33a$ の位相に相当するので、加算器 311 の下位ビットの累積値のオーバーフローは正弦波信号 $S33a$ の瞬間的な位相のずれに相当する。従って、加算器 311 における上述した周期性のあるオーバーフローに起因して正弦波信号 $S33a$ にその周期の逆数の周波数のスプリアスが観測される。

【0007】上記正弦波信号 $S33a$ にスプリアスを生じる主な原因には2種類あり、第1は加算器 311 全ビット長でのオーバーフローであり、第2は「加算器 311 から位相・振幅変換器 $32A$ に出力されない下位ビット部分($S31b$ 、図示せず)から出力される上位ビット $S31a$ への桁上がり過程の部分で同様に発生するオーバーフローによるスプリアスである。さらに、第3のスプリアスとして、加算器 311 におけるオフセット累積値のオーバーフロー時に発生する余り(高次のオフセット)がさらにオーバーフローを越すことにより発生する高次スプリアス(高調波ではない)がある。

【0008】この加算器 311 (またはこの加算器 311 に相当する加算器)のオーバーフローに起因する正弦波信号 $S33a$ のスプリアスを低減する手法が、公開特許公報「平2-63305、発明の名称:選択可能なランダム化したアキュムレータを有する直接デジタルシンセサイザ、平成2年3月2日公開」に記載されている。このスプリアス低減手法では、上記加算器に疑似ランダム数発生器または振動発生器から不定の数を最下位(LSD)ビットに加算して上記オーバーフローの周期性を崩し、特定周波数のスプリアスを減少させている。しかし、この手法では、上記オーバーフローに伴うスプリアスは軽減できるが、逆に、上記加算器に入力される疑似ランダム数または振動周波数によるスプリアスが正弦波信号 $S33a$ に少ないうえに混入する。また、上記第2および第3のスプリアスに対する軽減効果を持たない。

【0009】従って本発明の目的は、上述した従来技術による直接デジタル周波数シンセサイザの欠点を解消することにより、出力正弦波信号に加算器(位相アキュムレータ)のオーバーフローや丸め誤差に伴うスプリアス発生のない直接デジタル周波数シンセサイザを提供することにある。

【0010】

【課題を解決するための手段】本発明の直接デジタル周波数シンセサイザは、周波数データをクロック信号に同期して累積した位相データを生じる位相アキュムレータ手段と、前記位相データの上位ビットと前記クロック信号とに 대응してアナログ形式の第1の正弦波信号を生じる第1の位相・正弦波信号変換手段と、前記上位ビットと前記クロック信号とに 대응して前記第1の正弦波信号より 90° 位相の進んだアナログ形式のコサイン波信号を生じる第2の位相・正弦波信号変換手段と、前記位相

データのの前記上位ビットを除く下位ビットの一部または全部をアナログ値に変換して位相誤差信号を生じる第1のデジタル・アナログ変換器と、前記コサイン波信号と前記位相誤差信号とを乗算してスプリアスキャンセル信号を生じる乗算器と、前記第1の正弦波信号から前記スプリアスキャンセル信号を減算して第2の正弦波信号を生じる減算器とを備えている。

【0011】本発明の直接デジタル周波数シンセサイザの一つは、周波数データをクロック信号に同期して累積した位相データを生じる位相アキュムレータ手段と、前記位相データの上位ビットに対応した第1の正弦波振幅データを生じる第1の位相・振幅変換器と、前記クロック信号に同期して前記第1の正弦波振幅データをアナログ形式の第1の正弦波信号に変換する第1のデジタル・アナログ変換器と、前記上位ビットに回答して前記第1の正弦波振幅データより 90° 位相の進んだコサイン波振幅データを生じる第2の位相・振幅変換器と、前記クロック信号に同期して前記コサイン波振幅データをアナログ形式のコサイン波信号に変換する第2のデジタル・アナログ変換器と、前記位相データのの前記上位ビットを除く下位ビットの一部または全部をアナログ値に変換して位相誤差信号を生じる第3のデジタル・アナログ変換器と、前記コサイン波信号と前記位相誤差信号とを乗算してスプリアスキャンセル信号を生じる乗算器と、前記第1の正弦波信号から前記スプリアスキャンセル信号を減算して第2の正弦波信号を生じる減算器とを備えている。

【0012】また、本発明の直接デジタル周波数シンセサイザの別の一つは、周波数データをクロック信号に同期して累積した位相データを生じる位相アキュムレータ手段と、前記位相データの上位ビットの値に対応した第1の正弦波振幅データを生じる第1の位相・振幅変換器と、前記クロック信号に同期して前記コサイン波振幅データをアナログ形式のコサイン波信号に変換する第2のデジタル・アナログ変換器と、前記位相データのの前記上位ビットを除く下位ビットの一部または全部をアナログ値に変換して位相誤差信号を生じる第3のデジタル・アナログ変換器と、前記コサイン波信号と前記位相誤差信号とを乗算してスプリアスキャンセル信号を生じる乗算器と、前記第1の正弦波信号から前記スプリアスキャンセル信号を減算して第2の正弦波信号を生じる減算器と、前記乗算器の入力端子の各々における前記コサイン波信号と前記位相誤差信号との信号タイミングをほぼ同一タイミングに設定する第1のタイミング調整回路と、前記乗算器の入力端子の各々における前記コサイン波信号および前記位相誤差信号の信号レベルをともに前

記乗算器の所要レベル範囲に設定する第1のレベル調整回路と、前記減算器の入力端子の各々における前記第1の正弦波信号中のスプリアス成分と前記スプリアスキャンセル信号との信号タイミングをほぼ同一タイミングに設定する第2のタイミング調整回路と、前記減算器の入力端子の各々における前記第1の正弦波信号および前記スプリアスキャンセル信号の信号レベルを前記第2の正弦波中のスプリアス成分を最小とするレベルに設定する第2のレベル調整回路とを備えている。

【0013】さらに、本発明の直接デジタル周波数シンセサイザのさらに別の一つは、周波数データをクロック信号に同期して累積した位相データを生じる位相アキュムレータ手段と、前記位相データの上位ビットに対応した第1の正弦波振幅データを生じる第1の位相・振幅変換器と、前記クロック信号に同期して前記第1の正弦波振幅データをアナログ形式の第1の正弦波信号に変換する第1のデジタル・アナログ変換器と、前記上位ビットに对应して前記第1の正弦波振幅データより90°位相の進んだコサイン波振幅データを生じる第2の位相・振幅変換器と、前記クロック信号に同期して前記コサイン波振幅データをアナログ形式のコサイン波信号に変換する第2のデジタル・アナログ変換器と、前記位相データのの前記上位ビットを除く下位ビットの一部または全部をアナログ値に変換して位相差信号を生じる第3のデジタル・アナログ変換器と、前記コサイン波信号と前記位相差信号とを乗算してスプリアスキャンセル信号を生じる乗算器と、前記第1の正弦波信号から前記スプリアスキャンセル信号を減算して第2の正弦波信号を生じる減算器と、前記第2の正弦波信号のゼロクロス点を検出しこのゼロクロス点を周期とする矩形波信号または正弦波信号を生じるゼロクロス検出手段とを備えている。

【0014】

【実施例】次に本発明について図面を参照して説明する。

【0015】図1は本発明の第一の実施例のブロック図である。

【0016】この直接デジタル周波数シンセサイザ(DDS)3は、図4のDDS3Cと同様に、基準周波数発振器1からクロック信号S1を、周波数データ設定回路2から周波数データS2をDDS3の位相アキュムレータ31に受ける。同様に、位相アキュムレータ31からの位相データS31の上位ビットS31aを位相・振幅変換器32Aのアドレス信号とし、位相・振幅変換器3

一方、コサイン波信号S33b(信号S33bをv(t)とする)は、位相項がu(t)に等しく、(4)式を得る。

【0023】

$$v(t) = \cos 2\pi f t + A(t) \cdot \sin 2\pi f t \quad \dots (5)$$

故に、乗算器34からのスプリアスキャンセル信号S3

2Aはアドレス信号S32aに対応する正弦波振幅データS32aを生じる。この正弦波振幅データS32aが、デジタル・アナログ変換器(D/A変換器)33Aによりクロック信号S1に同期してアナログ信号に変換され、正弦波信号S33aになる。

【0017】また、DDS3は、位相データS31の上位ビットS31aを位相・振幅変換器32Bのアドレス信号とする。位相・振幅変換器32Bは、このアドレス信号S32bに対応して正弦波振幅データS32aより90度位相の進んだ正弦波振幅データ(以下、コサイン波振幅データ)S33bを生じる。このコサイン波振幅データS34aがデジタル・アナログ変換器(D/A変換器)33Aによりアナログ形式のコサイン波信号S33bに変換される。

【0018】さらに、DDS3は、位相データS31の上位ビットS31aを除いた下位ビットS31bをデジタル・アナログ変換器(以下、D/A変換器)33Cに供給し、D/A変換器33Cは下位ビットS31bに対応するアナログ値を有する位相誤差信号S34aを生じる。なお、下位ビットS31bは、必ずしも全部のビットを使用する必要はないが、切り捨てた部分が位相差として残るので上位部分から優先して使用し、なるべく全部のビットを使用する。乗算器34が、コサイン波信号S33bと位相誤差信号S34aとを乗算して、スプリアスキャンセル信号S35を生じる。そして、減算器35が、正弦波信号S33aからスプリアスキャンセル信号S35を減算し、DDS3の所望の出力信号であるスプリアスを除去した正弦波信号S3を生じる。

【0019】さらに図1を参照してDDS3の動作を説明すると、D/A変換器33Aからの正弦波信号S32aには、位相・振幅変換器32AおよびD/A変換器33Aのビット長が位相アキュムレータ31のビット長より小さいため、丸め誤差による周期的な位相差から生じるスプリアスが含まれる。正弦波信号S33aをu(t)とすると、u(t)は(1)式で表わされる。

【0020】

$$u(t) = \sin \{ 2\pi f t + A(t) \} \quad \dots (1)$$

ここで、fは所望の周波数(f0のa倍)、A(t)はスプリアスの原因となる周期的な位相差でありスプリアスキャンセル信号S34に等しい。

【0021】(1)式を加法定理で分解し、また(2)式の関係を用いて(3)式を得る。

$$[0022] A(t) < \langle 1 \rangle (\text{ラジアン}) \quad \dots (2)$$

$$u(t) = \sin 2\pi f t + A(t) \cdot \cos 2\pi f t \quad \dots (3)$$

$$v(t) = \cos \{ 2\pi f t + A(t) \} \quad \dots (4)$$

(4)式を加法定理で分解し、また(2)式の関係を用いて(5)式を得る。

【0024】

$$5 = w(t) \text{ として、(6)式を得る。}$$

【0025】

$$w(t) = v(t) \cdot A(t) \quad \cdots (6)$$

また、減算器35からの出力、即ちDDS3からの正弦波信号S3を $x(t)$ として、(7)式を得る。

【0026】

$$x(t) = u(t) - w(t) \\ = \{1 + A(t)^2\} \cdot \sin 2\pi f t \quad \cdots (7)$$

従って、DDS3からの正弦波信号S3 ($x(t)$ で示される)は、スプリアスを生じる位相誤差成分として位相誤差 $A(t)$ の2次成分を含むのみであり、従来のDDS3Cの生じる正弦波信号S33a ($u(t)$ で示される)が位相誤差 $A(t)$ の1次成分を含むのに比べ、スプリアスを明らかに低減している。

【0027】なお、位相誤差 $A(t)$ を表わす下位ビットS31bは、上述のとおり必ずしもこの全部のビットを必要としないが、 $x(t)$ におけるスプリアス成分を減少させるには、上位のビットから優先して用いる。

【0028】図2は本発明の第2の実施例のブロック図である。

【0029】この直接デジタル周波数シンセサイザ(DDS)において、DDS3Aは、図1のDDS3に加え、アナログ信号のタイミング(位相)を調整するタイミング調整回路36A、36B、36Cおよび38と、アナログ信号のレベル(振幅)を調整するレベル調整回路37A、37B、37Cおよび39をさらに備えている。即ち、タイミング調整回路36Aとレベル調整回路37AとをD/A変換器33Aと減算器35の+入力端子との間に、タイミング調整回路36Bとレベル調整回路37BとをD/A変換器33Bと乗算器34の一方の入力端子との間に、タイミング調整回路36Cとレベル調整回路36CとをD/A変換器33Cと乗算器34の他方の入力端子との間に、タイミング調整回路38とレベル調整回路39とを乗算器34の出力端子と減算器35の-入力端子との間にそれぞれ挿入している。

【0030】タイミング調整回路36Bおよび36Cは、D/A変換器33Bおよび33Cの遅延特性のばらつきにより生じる信号タイミングのずれを補正し、乗算器34に供給するコサイン波信号S33bと位相差信号S34との信号タイミングを一致させる。タイミング調整回路36Aおよび38は、D/A変換器33Aからの正弦波信号S33aと乗算器34からのスプリアスキャンセル信号S35とのタイミングのずれを補正し、減算器35に供給する正弦波信号S33a中のスプリアス成分とスプリアスキャンセル信号S35との信号タイミングを一致させる。レベル調整回路37Bおよび37Cは、D/A変換器33Bおよび33Cの出力レベルのばらつきにより生じるレベルの相違を補正し、乗算器34に供給する信号S33bおよび信号S34の信号レベルを所要の演算が適切に行えるレベル、(6)および(7)式を満足させるレベルにそれぞれ設定する。レベ

ル調整回路37Aおよび39は、D/A変換器33Aからの正弦波信号S33aおよび乗算器34からのスプリアスキャンセル信号S35のレベルを減算器35からの正弦波信号S3中のスプリアス成分信号S3が最小になる、即ち(7)式を満足させるレベルにそれぞれ調整する。

【0031】従って、このDDSは、乗算器34および減算器35への信号タイミングおよびレベルを調整して(7)式に示す $x(t)$ 、即ち正弦波信号S3を正確に得ることができるので、図1のDDSより、正弦波信号S3のスプリアスをさらに低減する効果がある。なお、上述のタイミング調整回路36A、36B、36Cおよび38とレベル調整回路37A、37B、37Cおよび39は、上述した乗算器34および減算器35に供給される信号のタイミングおよびレベルが所要値から相違する場合にのみ必要な箇所だけ設けられ、これらの全てを必ずしも必要としない。

【0032】図3は本発明による第3の実施例のブロック図である。

【0033】この実施例の直接デジタル周波数シンセサイザ(DDS)は、図1の実施例に加え、DDS3の出力端子にゼロクロス検出回路4を接続している。ゼロクロス検出回路4は、DDS3からの正弦波信号S3のゼロクロス点を検出し、検出したゼロクロス点間を周期とし、周期間で振幅変化のない正弦波信号S4を生じる。正弦波信号S3には、式(7)に示すとおり、振幅項に $\{1 + A(t)^2\}$ のスプリアス成分を含んでいる。しかし、このDDSは、ゼロクロス検出回路4により、上記振幅項の影響から生じるスプリアス成分を完全に除去した正弦波信号S4を生じる。

【0034】ゼロクロス検出回路4についてさらに詳細に説明すると、低域通過ろ波器(LPF)41が正弦波信号S3からこの信号S3が一般に含む直流成分(オフセット電圧)を抽出する。信号S3に直流成分を含まないときには、LPF41を必要とせず、コンパレータ42の-入力端子を0Vに設定する。コンパレータ42は、正弦波信号S3と上記直流成分とを比較して正弦波信号S3の周期に等しい周期の矩形波信号を生じる。この矩形波信号には、正弦波信号S3のスプリアス成分による周期間の振幅変化が消去されている。この矩形波信号が帯域通過ろ波器(BPF)43により帯域制限されてスプリアス成分のない正弦波信号S4になる。なお、上記矩形波信号をこのDDSの出力信号としてもよい。

【0035】

【発明の効果】以上説明したように本発明のDDSは、位相アキュムレータの上位ビットから正弦波信号を生成する従来の正弦波信号生成手段に加え、上記上位ビットから生成したコサイン波信号と上記位相アキュムレータの下位ビットから生成した位相誤差信号とを乗算して上記正弦波信号のスプリアス成分であるスプリアスキャン

セル信号を合成する手段を設け、上記正弦波信号から上記スプリアスキャンセル信号を減算するので、上記位相アキュムレータの位相誤差に起因する出力正弦波信号のスプリアス成分を低減あるいは除去できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図である。

【図2】本発明の第2の実施例のブロック図である。

【図3】本発明の第2の実施例のブロック図である。

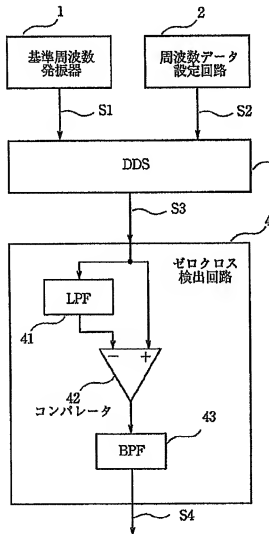
【図4】従来のDDSのブロック図である。

【符号の説明】

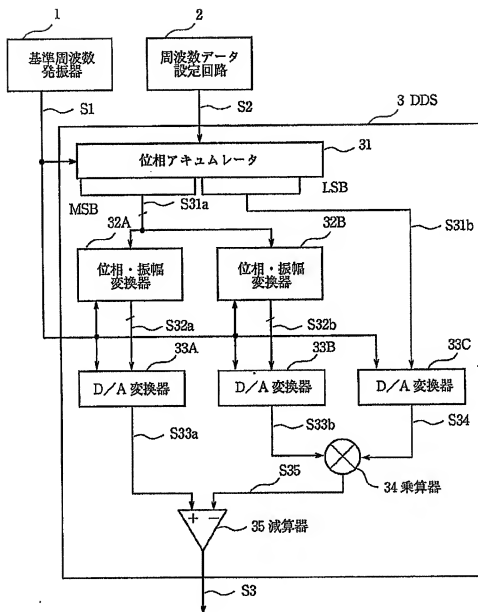
- 1 基準周波数発振器
- 2 周波数データ設定回路
- 3, 3A 直接デジタル周波数シンセサイザ(DDS)

- 4 ゼロクロス検出回路
- 31 位相アキュムレータ
- 32A, 32B 位相・振幅変換器
- 33A~33C デジタル・アナログ(D/A)変換器
- 34 乗算器
- 35 減算器
- 36A~36C, 38 タイミング調整回路
- 37A~37C, 39 レベル調整回路
- 41 低域通過滤波器(LPF)
- 42 コンパレータ
- 43 帯域通過滤波器(BPF)
- 311 加算器

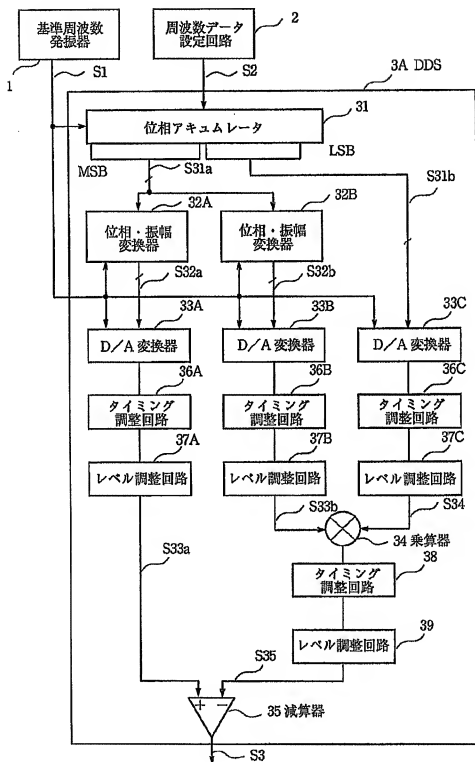
【図3】



【図1】



【図2】



【図4】

